




Solution Série 0 (notions d'introduction)





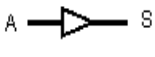
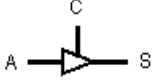
Exercice 01 :

1) Donner la définition des portes logiques.

R: Les portes logiques sont des composants électroniques physiques (réels), élémentaires (indivisibles), utilisées dans l'électronique numérique. elles sont assemblées en composition pour former les circuits logiques (circuits combinatoires et circuit séquentiels). Chaque porte logique effectue électriquement une opération booléenne de base (et, ou, non ...etc), elle comporte généralement 2 (ou plusieurs) entrées et une seule sortie. Dans l'électronique numérique souvent la valeur logique 0 est représentée par 0 volt et la valeur logique 1 est représentée par 5 volts.

2) Remplir les informations manquantes dans le tableau suivant concernant les différents types de portes logiques existantes :

Porte	Symbole	Table de vérité	Description															
and		<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>S</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	A	B	S	0	0	0	0	1	0	1	0	0	1	1	1	C'est le et logique : $S = A \cdot B$
A	B	S																
0	0	0																
0	1	0																
1	0	0																
1	1	1																
or		<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>S</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	A	B	S	0	0	0	0	1	1	1	0	1	1	1	1	C'est le ou logique : $S = A + B$
A	B	S																
0	0	0																
0	1	1																
1	0	1																
1	1	1																
not		<table border="1"> <thead> <tr> <th>A</th> <th>S</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> </tr> </tbody> </table>	A	S	0	1	1	0	C'est le non logique : $S = \bar{A}$									
A	S																	
0	1																	
1	0																	

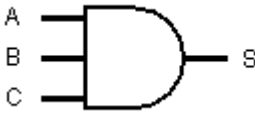
nand		<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>S</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table>	A	B	S	0	0	1	0	1	1	1	0	1	1	1	0	C'est le non-et (not-and) logique : $S = \overline{A \cdot B}$
A	B	S																
0	0	1																
0	1	1																
1	0	1																
1	1	0																
nor		<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>S</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table>	A	B	S	0	0	1	0	1	0	1	0	0	1	1	0	C'est le non-ou (not-or) logique : $S = \overline{A + B}$
A	B	S																
0	0	1																
0	1	0																
1	0	0																
1	1	0																
xor		<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>S</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table>	A	B	S	0	0	0	0	1	1	1	0	1	1	1	0	C'est le ou-exclusif logique : $S = A \oplus B$
A	B	S																
0	0	0																
0	1	1																
1	0	1																
1	1	0																
xnor		<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>S</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	A	B	S	0	0	1	0	1	0	1	0	0	1	1	1	C'est le non-ou-exclusif logique : $S = \overline{A \oplus B} = A \otimes B$
A	B	S																
0	0	1																
0	1	0																
1	0	0																
1	1	1																
buffer		<table border="1"> <thead> <tr> <th>A</th> <th>S</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> </tr> </tbody> </table>	A	S	0	0	1	1	C'est le buffer , il ne fait aucune opération logique, il est utilisé pour réduire la vitesse d'un signal dans certaines situations: $S = A$									
A	S																	
0	0																	
1	1																	
tristate buffer		<table border="1"> <thead> <tr> <th>A</th> <th>C</th> <th>S</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>Z</td> </tr> <tr> <td>1</td> <td>0</td> <td>Z</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	A	C	S	0	0	Z	1	0	Z	0	1	0	1	1	1	C'est le buffer à 3 états , ça permet d'utiliser le signal logique Z : $\begin{cases} \text{si } (C=0) \Rightarrow S=Z \\ \text{si } (C=1) \Rightarrow S=A \end{cases}$
A	C	S																
0	0	Z																
1	0	Z																
0	1	0																
1	1	1																

(A,B sont les entrées. S c'est la sortie. C c'est la commande)

Remarques :

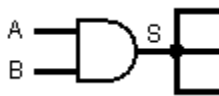
1. Les buffers sont principalement utilisés comme des régulateurs lors de l'étude temporelle d'un circuit numérique, l'étude temporelle n'appartient pas au contenu de ce module.
2. Le tristate buffer et le signal Z seront étudiés après dans les séries qui suivent.

3) La porte **and3** est une porte and (et logique) avec 3 entrées.

Porte	Symbole	Table de vérité																																				
and3		<table border="1"><thead><tr><th>A</th><th>B</th><th>C</th><th>S</th></tr></thead><tbody><tr><td>0</td><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>0</td><td>1</td><td>0</td></tr><tr><td>0</td><td>1</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td></tr><tr><td>1</td><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td></tr></tbody></table>	A	B	C	S	0	0	0	0	0	0	1	0	0	1	0	0	0	1	1	0	1	0	0	0	1	0	1	0	1	1	0	0	1	1	1	1
A	B	C	S																																			
0	0	0	0																																			
0	0	1	0																																			
0	1	0	0																																			
0	1	1	0																																			
1	0	0	0																																			
1	0	1	0																																			
1	1	0	0																																			
1	1	1	1																																			

Comme signalé auparavant le nombre 3 dans le nom **and3** est le nombre de signaux d'entrée de la porte, c'est aussi appelé le **fan-in** de la porte. Cette porte a un fan-in de 3.

4) Le fan-out comme schématisé sur la figure en bas représente le maximum qu'une sortie S d'une porte logique peut être utilisée comme entrée sur d'autres portes logiques. Le fan-out sur la figure est de 3, donc la porte ne peut pas fournir sa sortie S comme entrée pour plus de 3 autres portes logiques.

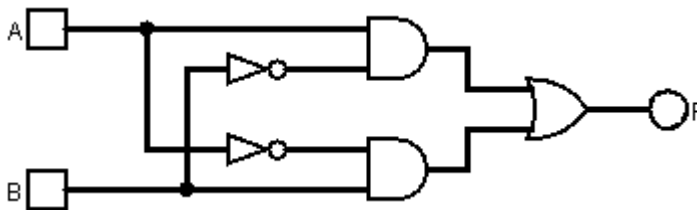


Exercice 02 :

A.	Valide.
B.	Non valide, il ne respecte pas la règle 5, il contient un cycle (une boucle).
C.	Valide.
D.	Non valide, il ne respecte pas la règle 4, un signal ne peut avoir qu'un seul départ. Dans le cas contraire les 2 sorties peuvent avoir pour l'une 0 (0 volt) et pour l'autre (5 volts) sur le même fil, électriquement ça représente un court-circuit, qui peut endommager le circuit.
E.	Non valide, il ne respecte pas la règle 5, il contient un cycle (une boucle).
F.	Valide.

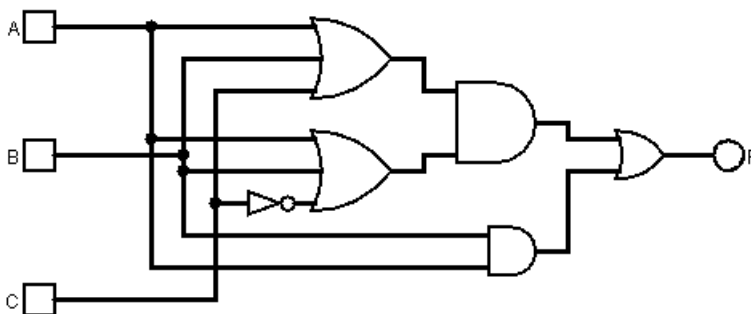
Exercice 03 :

1) $F(A,B) = A \cdot \bar{B} + \bar{A} \cdot B$



A	B	F
0	0	0
0	1	1
1	0	1
1	1	0

2) $F(A,B,C) = (A+B+C) \cdot (A+B+\bar{C}) + A \cdot B$

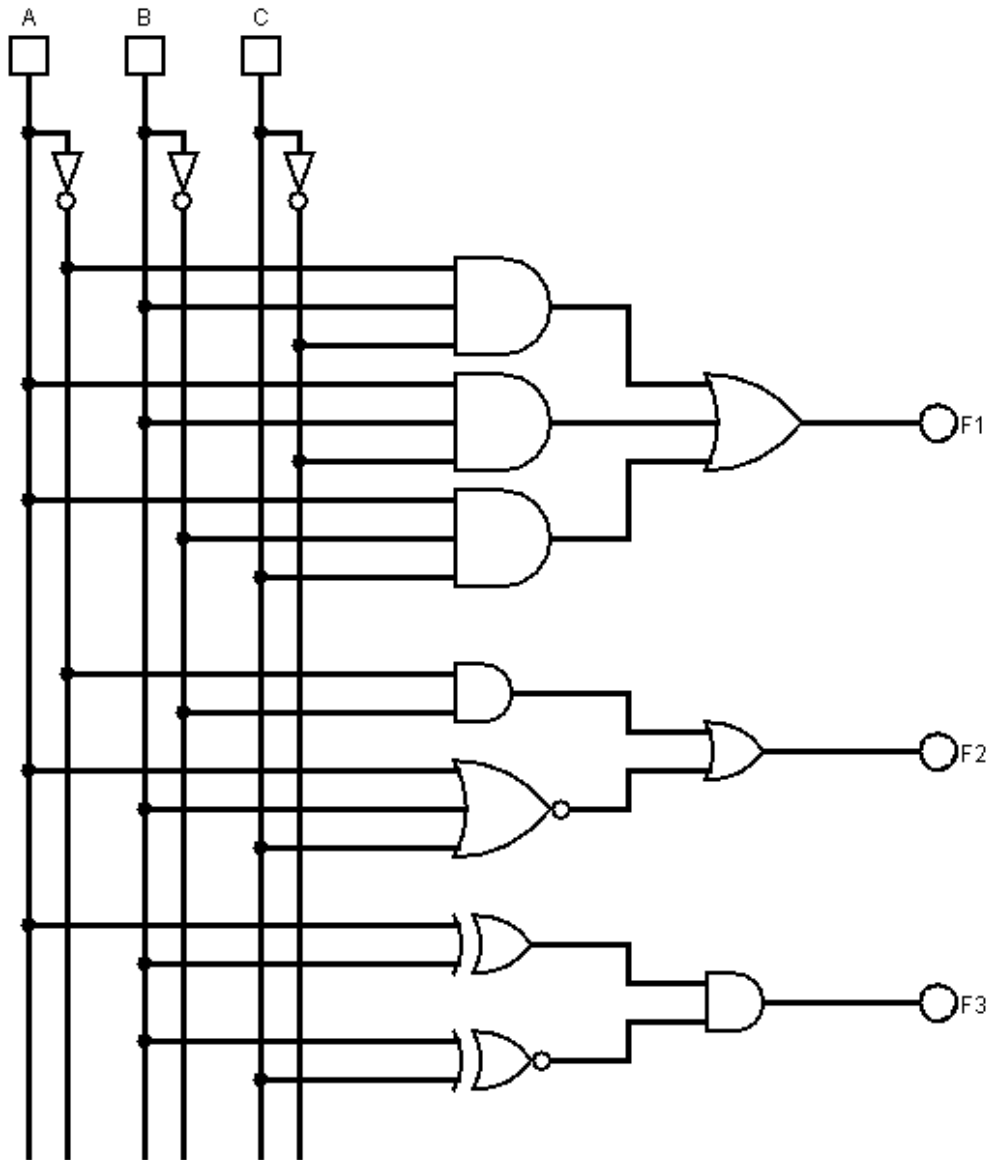


A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

$$3) F_1(A,B,C) = \bar{A} \cdot B \cdot \bar{C} + A \cdot B \cdot \bar{C} + A \cdot \bar{B} \cdot C$$

$$F_2(A,B,C) = \bar{A} \cdot \bar{B} + \bar{A} + B + C$$

$$F_3(A,B,C) = (A \oplus B) \cdot (B \otimes C)$$



A	B	C	F1	F2	F3
0	0	0	0	1	0
0	0	1	0	1	0
0	1	0	1	0	0
0	1	1	0	0	1
1	0	0	0	0	1
1	0	1	1	0	0
1	1	0	1	0	0
1	1	1	0	0	0